

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

Translation of
the Official Gazette of Publication of
the Korean Patent Laid Open No. 1998-60528
Publication Date: October 7, 1998

Method of manufacturing a capacitor of a semiconductor device

[Abstract]

The present invention relates to a method of manufacturing a capacitor of a semiconductor device, comprising: forming a lower electrode of the capacitor by Ru; forming a strontium oxide film (SrO) in the upper portion; and after forming a strontium ruthenium oxide film (SrRuO₃) by heat-treating at a low temperature, forming a capacitor by forming a dielectric film consisting of PZT. Thereby, the property of the leakage current of the ferroelectric film is improved by stabilizing chemically and thermally, and as a result, the technique according to the present invention improves the yield and the reliability of a semiconductor device.

[Claim]

1. A method of manufacturing a capacitor of a semiconductor device, comprising:

a step of forming an insulating film comprising a storage electrode contact hole in an upper portion of the semiconductor substrate;

a step of forming a contact plug for burying said contact hole;

a step of forming a diffusion prevention film pattern with a layered structure of Ti/TiN or Ta/TaN and Ru in an upper portion of said contact plug;

a step of forming a conducting layer pattern which will become a storage electrode covering the surface of said diffusion prevention film pattern by RuO₃;

a step of forming a dielectric film by heat-treating said semiconductor substrate in an upper portion of the storage electrode; and

a step of forming a plate electrode in an upper portion of said dielectric film

【한국공개특허공보 제98-60528호(1998.10. 개,인봉예2)】

특1998-060528

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

引用例 2

(51) Int. Cl.⁵

(11) 공개번호 특1998-060528

(43) 공개일자 1998년10월07일

H01L 21/61

(21) 출원번호 특1996-079890

(22) 출원일자 1996년12월31일

(71) 출원인 현대전자산업 주식회사 김영환

경기도 이천시 부발읍 마미리 산 136-1

(72) 발명자

유용식

서울특별시 강동구 명일동 현대아파트 16-301

김남경

경기도 이천시 부발읍 사동리 현대전자 사원아파트 111-1104

(74) 대리인

이권희, 이정훈

심사청구 : 없음

(54) 반도체 소자의 캐패시터 제조방법

요약

본 발명은 반도체 소자의 캐패시터 제조방법에 관한 것으로, 캐패시터의 하부전극을 Ru로 형성하고 그 상부에 스트론튬 산화막(SrO)을 형성하고, 낮은 온도에서 열처리하여 스트론튬 루테튬 산화막(SrRuO₃)을 형성한 다음, PZT로 구성되는 유전체막을 형성하여 캐패시터를 형성함으로써 화학적, 열적으로 안정화시켜 감응전체막의 누설전류 특성을 개선시키므로 반도체 소자의 수율 및 신뢰성을 향상시키는 기술에 관한 것이다.

도면

도 1a

발명

도면의 간단한 설명

도 1a 내지 도 1j는 본 발명에 따른 반도체 소자의 캐패시터 제조 공정도.

도면의 주요 부분에 대한 부호의 설명

10:반도체 기판12:절연막

14:콘택플러그16:제1확산방지막

18:제2확산방지막20:제1도전층

22:제2도전층24:제1유전체막

26:제2유전체막18:제3유전체막

30:플레이트전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 캐패시터 제조방법에 관한 것으로, 보다 상세하게는 반도체 기판의 저장전극 상부에 스트론튬 산화막을 형성한 다음, 열처리하여 스트론튬 루테튬 산화막을 형성하고 PZT를 형성하여 유전체막을 형성함으로써 화학적, 열적으로 안정화시켜 감응전체막의 누설전류 특성을 개선하여 반도체 소자의 수율 및 신뢰성을 향상시키는 기술에 관한 것이다.

일반적으로, (Pb, Zr)TiO₃ (이하 PZT)와 같은 감응전체는 상온에서 유전상수가 수백에서 수천에 이르며 두 개의 안정한 잔류분극(resmanent polarization) 상태를 갖고 있어 이를 박막화 하여 비휘발성(nonvolatile) 메모리 소자로의 응용이 실현되고 있다.

그러나, 감응전체 박막을 비휘발성 메모리소자로 사용하는 경우 가해주는 전기장의 방향으로 분극의 방향을 조절하여 신호를 입력하고 전기장을 제거하였을 때 남아있는 잔류분극의 방향에 의해 디지털 신호

특 1998-060528

1과 0을 저장하게 되는 원리를 이용하는 것이다.

상기와 같이 강유전성박막의 하부전극으로서 이산화 루테튬(RuO_3)은 다른 전극에 비해 전기적인 싸이클링(cycling)에 의한 강유전성 박막의 분극 스위칭(polarization switching)의 손실이나 피로도에 관해서는 좋은 특성을 보이고 있으나 누설전류 특성은 열화되는 특성을 보이고 있다.

즉, 이러한 이유는 강유전성 박막의 증착이 높은 온도($500^{\circ}C$ 이상)와 산소 분위기에서 이루어지므로 이산화 루테튬(RuO_3)이 산소와 반응하여 RuO_3 의 특성 기체상태로 산화되거나 이산화 루테튬(RuO_3)표면이 거칠어지고, PZT 박막이 이차상으로 나타나는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

이에, 본 발명은 상기한 문제점을 해결하기 위한 것으로 반도체 기판의 저장전극 상부에 스트론튬 산화막(SrO)을 형성하고, 낮은 온도에서 열처리하여 스트론튬 루테튬 산화막($SrRuO_3$)을 형성한 다음, $Pb(Zr)TiO_3$ 을 형성하는 유전체막을 형성하여 캐패시터를 형성함으로써 화학적, 열적으로 안정화시켜 강유전체막의 누설전류 특성을 개선시키므로 반도체 소자의 수율 및 신뢰성이 향상되는 반도체 소자의 캐패시터 제조방법을 제공하는 데 그 목적이 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위해 본 발명에 따른 반도체 소자의 캐패시터 제조방법은 반도체 기판 상부에 저장전극 콘택홀을 구비하는 절연막을 형성하는 공정과, 상기 콘택홀을 채우는 콘택플러그를 형성하는 공정과, 상기 콘택플러그 상부에 확산방지막패턴을 Ti/TiN 또는 Ta/TaN 과 Ru 의 적층 구조로 형성하는 공정과, 상기 확산방지막패턴의 표면을 감싸는 저장전극이 되는 도전층 패턴을 RuO_3 로 형성하는 공정과, 상기 반도체기판을 열처리하여 저장전극 상부에 유전체막을 형성하는 공정과, 상기 유전체막 상부에 플레이트 전극을 형성하는 공정을 포함하는 것을 특징으로 한다.

이하, 첨부된 도면을 참조하여 본 발명에 따른 반도체 소자의 캐패시터 제조방법에 대하여 상세히 설명을 하기로 한다.

도 1a 내지 도 1j는 본 발명에 따른 반도체 소자의 캐패시터 제조공정도이다.

먼저, 반도체 기판(10) 상부에 산화막의 재질로 소자분리 절연막(도시 않됨), 게이트산화막(도시 않됨), 게이트전극(도시 않됨) 또는 비드라인(도시 않됨) 등을 형성하고, 전표면에 절연막(12)을 형성한다.

다음, 상기 절연막(12)을 콘택마스크를 이용한 식각공정으로 콘택부분으로 예정되어 노출되는 부위에 콘택홀을 형성한다.

그 다음, 상기 구조의 전표면에 500-3000 Å 두께의 다결정 규소막(도시 않됨)을 화학기상증착법(Chemical Vapor Deposition 이하, CVD)으로 형성한 다음, 상기 다결정 규소막을 전면 식각하여 상기 콘택홀을 채우는 콘택플러그(14)를 형성한다.(도 1a 참조)

다음, 상기 구조의 전표면에 100-1000 Å 두께의 티타늄(Ti) 또는 탄탈륨(Ta)으로 이루어진 제1확산방지막(16)을 형성한다.(도 1b 참조)

그 다음, 상기 제1확산방지막(16) 상부에 200-2000 Å 두께의 티타늄질화막(TiN) 또는 탄탈륨질화막(TaN)으로 이루어진 제2확산방지막(18)을 형성한다.(도 1c 참조)

그 다음, 노광마스크를 이용한 이방성 식각공정으로 상기 절연막(12)의 상부표면이 노출될 때까지 식각하여 제2확산방지막(18)패턴과, 제1확산방지막(16)패턴을 형성한다.(도 1d 참조).

다음, 상기 구조의 전표면에 100-1000 Å 두께의 루테튬(Ru)으로 이루어진 제1도전층(20)을 형성한다.(도 1e 참조)

그 다음, 상기 제1도전층(20) 상부에 500-5000 Å 두께의 이산화루테튬(RuO_3)로 이루어진 제2도전층(22)을 형성하여 상기 콘택플러그(14)와 확산방지막(16, 18)패턴 및 도전층(20, 22)으로 구성되는 저장전극을 형성한다.(도 1f 참조)

다음, 상기 구조의 전표면에 $500^{\circ}C$ 이하에서 100-500 Å 두께의 스트론튬 산화막(SrO)으로 이루어진 제1유전체막(24)을 형성한다.(도 1g 참조)

그 다음, 상기 제1유전체막(24)을 열처리공정으로 스트론튬 루테튬 산화막($SrRuO_3$)으로 이루어진 제2유전체막(26)을 형성한다.

여기서, 상기 2유전체막(26)을 열처리공정으로 스트론튬 루테튬 산화막($SrRuO_3$)을 형성함으로써 화학적, 열적으로 안정화시켜 강유전체막의 누설전류 특성을 개선할 수 있다.(도 1h 참조)

다음, 상기 제2유전체막(26) 상부에 1000-5000 Å 두께의 PZT로 이루어진 제3유전체막(28)을 에피택셜(epitaxial) 공정으로 형성한다.(도 1i 참조)

그 다음, 상기 제3유전체막(28) 상부에 500-2000 Å 두께의 이산화루테튬으로 이루어진 플레이트전극(30)을 화학기상증착법으로 형성하여 본 발명에 따른 캐패시터 제조공정을 완료한다.(도 1j 참조)

발명의 효과

특 1998-060528

상기한 바와 같이 본 발명에 따른 반도체 소자의 캐패시터 제조방법은 반도체 기판의 저장전극 상부에 스트론튬 산화막으로 이루어진 유전체막을 형성한 다음, 열처리하여 스트론튬 산화막을 형성하여 화학적, 열적으로 안정화시켜 강유전체막의 누설전류 특성을 개선함으로써 반도체 소자의 수율 및 신뢰성을 향상시키는 효과가 있다.

(57) 청구의 범위

청구항 1. 반도체 기판 상부에 저장전극 콘택홀을 구비하는 절연막을 형성하는 공정과,

상기 콘택홀을 메우는 콘택플러그를 형성하는 공정과,

상기 콘택플러그 상부에 확산방지막패턴을 Ti/TiN 또는 Ta/TaN과 Ru의 적층 구조로 형성하는 공정과,

상기 확산방지막패턴의 표면을 감싸는 저장전극이 되는 도전층 패턴을 Ru로 형성하는 공정과,

상기 반도체기판을 열처리하여 저장전극 상부에 유전체막을 형성하는 공정과,

상기 유전체막 상부에 플레이트전극을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조방법.

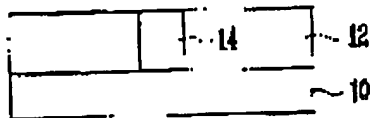
청구항 2. 청구항 1에 있어서, 상기 유전체막은 SrO/SrRuO₃/PZT으로 형성된 것을 특징으로 하는 반도체 소자의 캐패시터 제조방법.

청구항 3. 청구항 2에 있어서, 상기 SrO는 100Å~500Å 두께로 형성된 것을 특징으로 하는 반도체 소자의 캐패시터 제조방법.

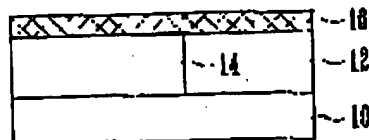
청구항 4. 청구항 2에 있어서, 상기 PZT는 1000Å~5000Å 두께로 형성된 것을 특징으로 하는 반도체 소자의 캐패시터 제조방법.

도면

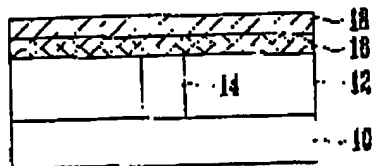
도면1a



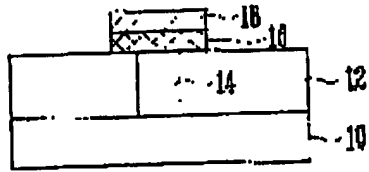
도면1b



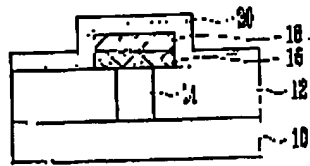
도면1c



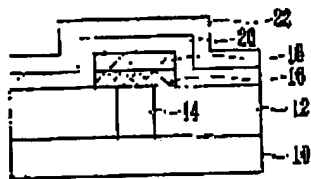
도면1d



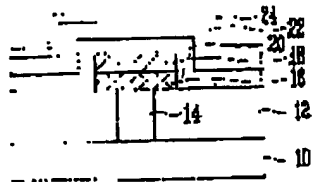
도면1e



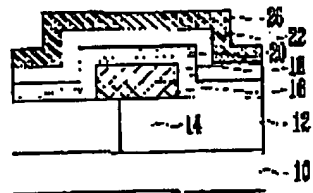
도면1f



도면1g

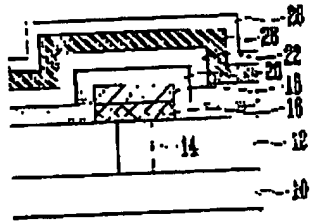


도면1h

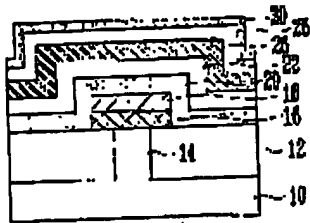


특 1998-060528

도면 i



도면 j



Lee International
IP & LAW GROUP

(訳 文)

大韓民国特許庁 (K R)

公 開 特 許 公 報 (A)

Int. Cl.⁶

H01L 21/61

公 開 番 号 : 1998-60528

公 開 日 付 : 1998 年 10 月 07 日

出 願 番 号 : 1996-79890

出 願 日 付 : 1996 年 12 月 31 日

出 願 人 : 現代電子産業株式会社

半導体素子のキャパシター製造方法

【要約】

本発明は、半導体素子のキャパシター製造方法に係り、キャパシターの下部電極をRuで形成し、その上部にストロンチウム酸化膜(SrO)を形成し、低い温度で熱処理して、ストロンチウムルテニウム酸化膜(SrRuO₃)を形成した後、PZTで構成される誘電体膜を形成してキャパシターを形成することにより、化学的、熱的に安定化させ、強誘電体膜の漏れ電流の特性を改善させるので、半導体素子の収率及び信頼性を向上する技術に係る。

【請求の範囲】

【請求項1】

半導体基板の上部に貯蔵電極コンタクトホールを備えた絶縁膜を形成する工程と、
上記コンタクトホールを埋めるコンタクトプラグを形成する工程と、
上記コンタクトプラグの上部に拡散防止膜パターンをTi/TiN又はTa/TaNとRuの積層構造で形成する工程と、
上記拡散防止膜パターンの表面を覆う貯蔵電極となる導電層パターンをRuO₃で形成する工程と、
上記半導体基板を熱処理して貯蔵電極の上部に誘電体膜を形成する工程と、
上記誘電体膜の上部にプレート電極を形成する工程とを含むことを特徴とする半導体素子のキャパシター製造方法。